

⑯ 日本国特許庁 (J P)

⑰ 特許出願公開

⑱ 公開特許公報 (A)

昭63-26084

⑤ Int. Cl.<sup>4</sup>

H 04 N 5/66  
9/12

識別記号

1 0 2

庁内整理番号

B-7245-5C  
7060-5C

④ 公開 昭和63年(1988)2月3日

審査請求 未請求 発明の数 1 (全15頁)

⑥ 発明の名称 倍速線順次走査回路

⑦ 特 願 昭61-221842

⑧ 出 願 昭61(1986)9月22日

優先権主張 ③ 昭61(1986)3月3日 ③ 日本 (J P) ⑨ 特願 昭61-43967

⑫ 発 明 者 甲 展 明 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑬ 発 明 者 安 藤 久 仁 夫 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑭ 発 明 者 木 村 雄 一 郎 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑮ 発 明 者 高 清 水 聡 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所家電研究所内

⑯ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1 発明の名称

倍速線順次走査回路

2 特許請求の範囲

1 マトリクス配置したスイッチング素子と表示要素から成る画素を有し、このスイッチング素子をオン、オフすることにより画像を表示するようにしたアクティブマトリクス型テレビ画像表示装置において、1列の信号電極を駆動する単位駆動回路中に複数のサンプルホールド回路を備え、1水平走査周期の間に該単位回路中複数のサンプルホールド回路が画像信号をサンプリング動作するように制御する制御回路と、1水平走査周期の間に該単位回路中複数のサンプルホールド回路の出力を逐次して該信号電極を駆動する回路を設けたことを特徴とする、アクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路。

3 発明の詳細な説明

〔産業上の利用分野〕

本発明は、マトリクス配置したスイッチング素子と液晶等の表示要素から成る画素を有するアクティブマトリクス型表示装置用倍速線順次走査回路に関する。

〔従来の技術〕

画面サイズが6形程度以上のカラーテレビ画像表示装置では、特に解像度が要求されるため、例えばNTSC方式画像信号を入力とする場合、有効水平走査線数約480本を表示する必要があり、アクティブマトリクス型テレビ画像表示装置の垂直方向画素数は約480必要である。NTSC方式画像信号はフレーム周期30 Hzのインタレース信号であるため、1水平走査周期中に1行の画素しか選択しない従来の駆動方法を用いると各画素は1フレームに1回選択されてその画素に対応した画像信号で駆動されることになる。ここで、表示素子として例えば液晶素子を用いると、その寿命の点から交流駆動する必要があるため、フレーム毎に画像信号の極性を反転させて駆動することになるが、この時液晶素子の交流化周波数はフー

ム周波数の半分  $15 \text{ Hz}$  になる。液晶素子を  $15 \text{ Hz}$  の交流電圧で駆動した場合、その周波数が低いためフリッカが生じることが多いので、液晶の交流化周波数として少なくとも  $30 \text{ Hz}$  を確保する必要がある。従って、各画素を1フレーム中に1回選択するのでなく2回、すなわち1フィールド(1フレームは2フィールドで構成される。)に1回選択し、フィールド毎に画像信号の極性を反転させて駆動すれば良い。しかしながら、1フィールド中の有効水平走査線は約240本であり、垂直方向画素数が約480ある液晶パネルを駆動する場合、1水平走査周期中に2行の画素を選択駆動しなければならない。このように1水平走査周期中に2行の画素を選択駆動して1フィールドに1回全面素を選択駆動し、液晶交流化周波数を  $30 \text{ Hz}$  とする方法が、電子通信学会技術報告84巻159号(昭和59年)第19頁から第24頁において論じられている。

〔発明が解決しようとする問題点〕

上記従来技術は、1水平走査周期中に2行の画

素路当り2個のサンプルホールド回路をサンプリング動作させると共に、複数のサンプルホールド回路がホールドしている信号電圧を1水平周期中に2回切換えて出力し、アクティブマトリクス型液晶パネルの列信号電極を駆動することにより達成される。

〔作用〕

1水平走査周期中に、前の水平走査周期にサンプリングした2つの異なる信号電圧を2回に分けて出力し、アクティブマトリクス型液晶パネルの列信号電極を駆動するので2行の画素が駆動され、従っていわゆるノンインタレース倍速変換された画像信号で液晶パネルが駆動される。それによって、液晶交流化周波数がフレーム周波数(例えばNTSCテレビ画像信号が入力された場合、 $30 \text{ Hz}$  となる。)と等しくなるので、デジタル倍速変換回路を使用することなく、フリッカが少なく、また長寿命のテレビ画像表示装置を得ることができる。

〔実施例〕

素を順番に駆動するために、A/D変換器、デジタルメモリ、D/A変換器等を用いてデジタル処理によりインタレース・テレビ画像信号に対していわゆる倍速変換を行い、ノンインタレース信号を得て水平走査回路に入力し、液晶パネルを駆動していた。このため、1水平走査周期中に1行の画素を駆動する場合に比べて水平走査回路の高速化を図る必要が生じると共に、回路規模が大きくなるデジタル倍速変換回路を必要としていた。

本発明の目的は、水平走査回路を高速化することなく、またデジタル倍速変換回路を使用することなく、1水平走査周期中に2行の画素を駆動し、フリッカが少なく、また長寿命のアクティブマトリクス型液晶テレビ画像表示装置を得ることにある。

〔問題点を解決するための手段〕

上記目的は、1列信号電極駆動回路に対し複数のテレビ画像信号サンプルホールド回路を備え、テレビ画像信号の水平有効表示期間中に各駆動回

以下、本発明の実施例を図面を用いて説明する。

第1図は本発明によるアクティブマトリクス型表示装置用倍速線順次走査回路の第一の実施例を示す構成図、第2図は第1図の回路の動作波形図であって、1は水平走査用シフトレジスタ、2はアンド(AND)回路、3はレベルシフト、4はシフトマトリクス、5はホールド容量、6はボルテージフォロウ、7はバッファアンプ、8は垂直走査用シフトレジスタ、9は斜めモザイク状に3原色フィルタを配置したカラー液晶パネル、10はMOSトランジスタ、11は液晶セル、 $D_r$ は列信号電極、 $G_a$ は行走査電極、 $W_{ij}$ 、 $S_{ij}$  ( $i=A, B, C, D, j=1, 2, 3, \dots$ )は例えばMOSトランジスタ等で構成されるアナログスイッチである。

第1図において、水平走査用シフトレジスタ1には、テレビ画像信号の水平同期信号に同期し、液晶パネル9の水平方向の画素数に相当するクロックパルス $\phi_H$ と、水平同期信号を遅延させて得られる走査開始信号 $D_H$ が印加される。このシフ

トレジスタ1の各段の出力は、水平走査周期毎に、切換わる互いに論理レベルが反転している信号 $H_1$ 及び $H_2$ と共にアンド(A N D)回路2に入力され、2水平走査周期毎に1回順次選択する信号を形成し、レベルシフタ3でアナログスイッチ $W_{ij}$  ( $i = A, B, C, D, j = 1, 2, 3, \dots$ )を駆動できる電圧レベルに変換している。アナログスイッチ $W_{ij}$ はホールド容量5と共にサンプルホールド回路を形成しており、それぞれのサンプルホールド回路は2水平走査周期に1回テレビ画像信号 $X_R, X_G, X_B$ を順次サンプリングし、ホールド容量5にそれぞれ駆動を担当する列信号電極 $D_r$ に見合う信号電圧がホールドされる。このホールドされた信号電圧が高入力インピーダンス・ボルテージフォロワ6を通して選択アナログスイッチ $S_{ij}$  ( $i = A, B, C, D, j = 1, 2, 3, \dots$ )に加えられ、ホールドされた信号電圧を制御信号 $H_A, H_B, H_G, H_D$ により水平走査周期の半分の周期毎に切換えてバッファアンプ7に入力し、その出力で列信号電極 $D_r$ を駆動するも

のである。尚、ボルテージフォロワ6の出力インピーダンス及びアナログスイッチ $S_{ij}$ のオン抵抗が十分低い場合は、バッファアンプ7を省略してもさしつかえない。

次に、垂直走査用シフトレジスタ8には、水平走査周波数の2倍の周波数のクロックパルス $\phi_V$ と、垂直同期信号を遅延させて得られる垂直走査開始信号 $D_V$ を印加し、テレビの水平走査線に相当する行走査電極 $G_a$ にゲートが接続されているM O Sトランジスタ10をオンさせて、液晶セル11に列信号電極 $D_r$ に加えられた信号電圧を加えて画像を表示するものである。尚、液晶自体やM O Sトランジスタ10のオフ時のリークが無視できない場合、各画素の液晶駆動電極に信号保持容量を付加すればよい。

また、全ての液晶セルの片方の電極は共通に接続され、液晶を交流駆動するために信号電圧のほぼ中点電位が与えられる。

これまでに述べてきた動作を、4 ( $= 3j - 2$ ;  $j = 1, 2, 3, \dots$ )列目の列信号電極 $D_r$  -

4の駆動回路を取り上げて、第2図によりさらに、駆動信号について具体的に説明を加えることにする。4 + 1, 4 + 2列目の列信号電極 $D_r - 4 + 1, D_r - 4 + 2$ の駆動回路については、以下の説明において、( $R_{ed}, G_{re}, B_{lu}, R, G, B$ )をそれぞれ( $G_{re}, B_{lu}, R_{ed}, G, B, R$ )と( $B_{lu}, R_{ed}, G_{re}, B, R, G$ )に置き換えれば同様な動作になるので、説明は省略する。

ここで、アナログスイッチ $W_{A4}, W_{B4}, W_{C4}, W_{D4}$ と各ホールド容量5からなるサンプルホールド回路を、それぞれ $S/H - A, S/H - B, S/H - C, S/H - D$ と呼ぶことにし、そのサンプリング動作期間を'W'、選択スイッチ $S_{A4}, S_{B4}, S_{C4}, S_{D4}$ がそれぞれ選択されてバッファアンプ7に送られ、列信号電極 $D_r - 4$ を駆動する出力期間を'R'という記号をつけて示している。尚、サンプリング期間'W'の後に続く( )内には、各サンプルホールド回路にサンプリングされる3原色信号 $R_{ed}$ (赤),  $G_{re}$ (緑),  $B_{lu}$ (青)の圈型を示している。出力期間'R'の後に続く( )内には、駆動

する画素が表示する色R(赤), G(緑), B(青)と、その画素の属する行走査電極の番号を示す添字が記入されている。

第1フィールドの第1水平走査周期において、3原色画像信号 $R_{ed}, G_{re}, B_{lu}$ を入力とするシフトマトリクス回路4は、 $X_R, X_G, X_B$ の各信号線にそれぞれ、 $R_{ed}, G_{re}, B_{lu}$ の信号を出力する。この時、その有効表示期間中に $S/H - A$ 及び $B$ がそれぞれ $R_{ed}, B_{lu}$ をサンプリングする。この時4の番号が小さいサンプルホールド回路は有効表示期間の始め付近でサンプリングし、4の番号が大きいサンプルホールド回路は有効表示期間の終わり付近でサンプリングすることになる。このことは、以降に述べるサンプリング期間でも同様である。

続く第2水平走査周期の前半において、第1行走査電極 $G_a - 1$ が選択されると同時に、 $S/H - A$ から第1行目の画素に見合う信号 $R_1$ が列信号電極 $D_r - 4$ に加えられる。第2水平走査周期の後半では、第2行走査電極 $G_a - 2$ が選択される

と同時に、S/H-Bから第2行目の画素に見合う信号B<sub>2</sub>が列信号電極D<sub>r-4</sub>に加えられる。また、第2水平走査周期においては、シフトマトリクス回路4は、X<sub>R</sub>、X<sub>G</sub>、X<sub>B</sub>の各信号線にそれぞれGr<sub>e</sub>、Bl<sub>u</sub>、Re<sub>d</sub>の信号を出力し、その有効表示期間中にS/H-C及びDがそれぞれGr<sub>e</sub>、Re<sub>d</sub>をサンプリングする。

第3水平走査周期の前半において、第3行走査電極Ga-3が選択されると同時に、S/H-Cから第3行目の画素に見合う信号G<sub>3</sub>が列信号電極D<sub>r-4</sub>に加えられる。後半では第4行走査電極Ga-4が選択されると同時に、S/H-Dから第4行目の画素に見合う信号R<sub>4</sub>が列信号電極D<sub>r-4</sub>に加えられる。また、第3水平走査周期においては、シフトマトリクス回路4は、X<sub>R</sub>、X<sub>G</sub>、X<sub>B</sub>の各信号線にそれぞれBl<sub>u</sub>、Re<sub>d</sub>、Gr<sub>e</sub>の信号を出力し、その有効表示期間中にS/H-A及びBがそれぞれBl<sub>u</sub>、Gr<sub>e</sub>をサンプリングする。

以下、同様な動作をくり返し、垂直方向の画素数が例えば480画素の場合、240の水平走査周期

2回選択駆動することになる。従って、第1フィールドに例えば正極性の画像信号を与え、第2フィールドに負極性の画像信号を与えておくことにより、液晶セル11の駆動電圧は2フィールド周期すなわちフレーム周期(30Hz)で交流駆動されることになる。

第1図において、液晶パネル9の水平画素数が6形程度の画面サイズでは648程度必要になると考えられるが、この時水平走査用シフトレジスタ1のシフトクロックφ<sub>H</sub>に要求される周波数f<sub>H</sub>は例えば、NTSCテレビ画像信号に対して下記のように計算される。

$$f_H = \left( \frac{\text{水平有効表示期間}}{\text{水平画素数}} \right)^{-1} = \left( \frac{52.7 \mu s}{648} \right)^{-1} = 12.3 \text{ MHz}$$

このようにシフトレジスタ1は高速動作が要求され、また消費電力も大きくなると考えられる。このことを考慮し、シフトクロックの周波数を1/3(4.1MHz)とした3相クロックφ<sub>H1</sub>、φ<sub>H2</sub>、φ<sub>H3</sub>を用いたリセット端子(R<sub>S</sub>)付ダイナミック形シフトレジスタの構成例を第3図に、その動

中に3原色画像信号をサンプリングし、第241水平走査周期までの間に全ての画素を1回ずつ選択駆動することになる。

テレビ画像信号として例えばインタレース方式、NTSC画像信号を扱うものとする、1フィールドは262.5水平走査周期から構成される。従って、第263水平走査周期の画像信号による表示は、第1水平走査周期の画像信号による表示よりも上に位置し、第264水平走査周期の画像信号による表示は、第1水平走査周期の画像信号による表示よりも下に位置するはずである。この関係を考慮し、第2フィールドでは第263水平走査周期の画像信号で第1行の画素のみを駆動し、第264水平走査周期の画像信号で第2行と第3行の画素を駆動するようにしている。従って、第263水平走査周期中にS/H-Aが画像信号Gr<sub>e</sub>をサンプリングして得た信号は、画素に印加されないことになる。これを第2図ではR(X)と表示している。

このようにして、第1、第2フィールドを通して、第504水平走査周期までの間に全ての画素を

作波形例を第4図に示す。21はアナログスイッチであり、ここではCMOS構成としている。22はアナログスイッチがオフの時に、オフになる直前の信号電圧をホールドするホールド容量であり、寄生容量で代用してもよい。23はノンインバーティングバッファであり、例えばインバータを2個縦続接続したものである。24はリセット用のNMOSトランジスタであり、帰線期間等の長い間3相クロックφ<sub>H1</sub>、φ<sub>H2</sub>、φ<sub>H3</sub>が与えられない時にリセット端子R<sub>S</sub>にH<sup>+</sup>レベルを与えて、シフトレジスタ出力を安定に非選択状態に係つ動きをする。第1図の水平走査用シフトレジスタとしてその出力段数が例えば648である場合、第3図の回路を648÷3=216回路縦続接続したものを使用すると、回路規模及び消費電力を低減できる。以下に述べる本発明の他の実施例におけるシフトレジスタについても、第3図の回路例が適用できる。

この他、第1図の水平走査用シフトレジスタとして、その出力段数が例えば648である場合、通常の1クロック入力216段シフトレジスタを3系

統制した回路を用いてもよい。この場合3系統のシフトレジスタのクロックはそれぞれ位相が120度異なる3相クロックを用いることにより、第4図に示した出力波形が得られる。

第5図は、第1図の制御端子 $H_1$ 、 $H_2$ 、 $H_A$ 、 $H_B$ 、 $H_C$ 、 $H_D$ に与える信号を形成するための回路例である。25は4進カウンタ、26は2対4デコーダである。4進カウンタ25に、水平走査周期の半分の周期のクロック $H/2$ (例えば垂直走査用シフトレジスタのクロック $\phi_V$ で代用しても良い。)を与えると、上位ビット $Q_1$ には水平走査周期毎に反転する信号が得られ、同時にその反転信号 $\bar{Q}_1$ が得られる。これらの信号は、丁度、第1図の $H_1$ 、 $H_2$ で要求する信号に他ならない。また、4進カウンタ25の出力を2対4デコーダ26に加えて得られる信号 $O_0$ 、 $O_1$ 、 $O_2$ 、 $O_3$ は、水平走査周期の半分の時間毎に順次選択して行く信号であり、第2図の動作波形を参考にすると、それぞれ、第1図の $H_C$ 、 $H_D$ 、 $H_A$ 、 $H_B$ 端子に必要な信号であることがわかる。尚、4進カウンタ

をサンプルホールド回路を省略することができている。しかし、第7図において $S/H-A$ は、水平有効表示信号期間中は常にサンプリング動作させなければならないため、サンプルホールド回路からの出力期間は水平帰線期間内にする必要が生じ、第2図に比べて出力期間が短くなる。このため、出力制御付バッファアンプ12を用いて、水平帰線期間に相当する時間だけバッファアンプを動作させて列信号電極 $D_r$ を駆動し、残りの期間は列信号電極 $D_r$ に接続されているホールド容量13によりその信号電圧をホールドさせる。 $S/H-B$ 、 $C$ については出力時間の制限はないが、駆動電圧のばらつき等を考慮して、 $S/H-A$ と同じ出力時間を用いている。

第1図の実施例においてバッファアンプ7は常に動作し続けるものとして説明したが第6図に示したような出力制御付バッファアンプを用いてもかまわない。尚、ボールテージフォロワ6の出力インピーダンス及びアナログスイッチSのオン抵抗が十分低ければ、出力制御付バッファアンプ12

25のリセット端子Rには、垂直走査用シフトレジスタとの同期をとるために垂直同期信号と同期した信号 $R_V$ を加える必要がある。第1図の倍速順次走査回路をIC化する場合、第5図の制御回路を内蔵化することにより入力端子数を低減できる効果がある。

本発明の他の一実施例を第6図に示し、その動作波形を第7図に示す。第1図と大きく異なる点は、1列信号電極駆動回路当りのサンプルホールド回路が4系統から3系統に減り、バッファアンプ7に代わり、出力を高インピーダンス状態にできる出力制御付バッファアンプ12を用い、ホールド容量13を列信号電極 $D_r$ に接続した点である。尚、列信号電極 $D_r$ のリークが少ない時、その浮遊容量をホールド容量13として使用できる場合もある。

第2図と第7図の動作波形例を比べるとわかるように、第7図の $S/H-A$ は、第2図の $S/H-A$ とCの動作を兼務していることがわかる。このため、第6図の実施例では $S/H-C$ に相当す

を省略しても、同様な動作が期待できる。

このように、第6図の実施例によれば、サンプルホールド回路の数を第1図の実施例に比べて、3/4にすることができるので、倍速順次走査回路規模を低減できる効果がある。

第8図は本発明の他の一実施例である。第6図の実施例と同様に1列信号電極当りのサンプルホールド回路3が3系統であり、出力制御付バッファアンプ12を用いているが、大きく異なる点は第1図及び第6図の実施例に用いていたシフトマトリクス4を省略した点である。その他には、3系統のサンプルホールド回路のサンプリング期間を決めるアンド回路2がそれぞれに設けられている点、また、サンプルホールド回路と3原色画像信号 $R_{od}$ 、 $G_{re}$ 、 $B_{lu}$ との接続態が異なっている点あげられる。次に第8図の実施例の動作を、第9図の動作波形例を用いて、以下説明する。

第9図の動作波形例を見ると、第2図や第7図と比べて、各サンプルホールド回路 $S/H-A$ 、 $B$ 、 $C$ で扱う3原色画像信号がそれぞれ $R_{od}$ 、 $B_{lu}$ 、

$G_{r0}$ と固定している点に特徴がある。このために第8図の実施例の説明において最初に述べたように、シフトマトリクス回路が省略できる。他の動作については、第6図の実施例とほぼ同じ動作となるので説明は省略する。

第10図は、第6図の制御端子 $H_1$ 、 $H_2$ 、 $H_A$ 、 $H_B$ 、 $H_D$ に与える信号を形成するための回路例である。第5図の回路例と同様に、水平走査周期の半分の周期のクロック $H/2$ を4進カウンタ25にし、制御信号 $H_1$ 、 $H_2$ を形成している。一方、制御信号 $H_A$ 、 $H_B$ 、 $H_D$ については第7図の $S/H-A$ 、 $B$ 、 $D$ の動作波形の“R”部分に対応した選択パルスが必要であるが、4進カウンタ25の出力と、出力制御信号OEをAND(AND)回路27にして、必要な制御信号を得ている。

第11図は、第8図の制御端子 $H_1$ 、 $H_2$ 、 $H_3$ 、 $H_A$ 、 $H_B$ 、 $H_D$ に与える信号を形成するための回路例である。第9図や第10図の回路例に用いた4進カウンタに代わり、6進カウンタ28を用いている。これは第9図の動作波形例を見ると3水

平走査周期毎(すなわち、クロック $H/2$ の6クロック分)に同じ動作をくり返していることから容易に類推できる。6進カウンタ28の上位2ビットを2対4デコーダ26にし、その出力をインバータ29で反転して、第9図の $S/H-A$ 、 $B$ 、 $C$ の動作波形の“W”部分を含みそれぞれの選択制御信号 $H_1$ 、 $H_2$ 、 $H_3$ を得ている。また、制御信号 $H_A$ 、 $H_B$ 、 $H_D$ は、第9図の $S/H-A$ 、 $B$ 、 $C$ の動作波形の“R”部分に対応した選択パルスとして、6進カウンタ28の出力、2対4デコーダ26の出力及び出力制御信号をAND-OR(AND-OR)回路30にして得られる。

第6図や第8図に示した本発明の一実施例による倍速線順次走査回路をIC化する場合、第10図や第11図の制御回路を内蔵することにより、入力端子数を低減できる効果がある。

以上、斜めモザイク状に3原色フィルタを配置したカラー液晶パネルを駆動する場合を例に取り上げて説明してきたが、その他の色フィルタ配置についても本発明は適用可能である。例えば隣接

行の色フィルタ配置を15画素ずらしたトライアングル配置の場合においても第12図に示す本発明の一実施例のように構成できる。第12図の実施例の動作は第6図の実施例の動作とほぼ同様であるので説明は省略する。

以上の実施例では、アクティブマトリクス型表示装置内にマトリクス状に配置された画素スイッチング素子のリーク等が存在する場合に、表示画面の上下方向の輝度むらが生じる可能性がある。これは、第24図に動作波形を示すように、例えば偶数フィールドで正極性、奇数フィールドで負極性の全画素表示画像信号を列信号電圧 $D_r$ に印加した時、第1行のゲートバス $G_{a-1}$ に接続された画素は偶数フィールドのほぼ最後で液晶セル容量 $V_{LCD-1}$ に正極性の信号電圧を蓄込み保持するので画素スイッチング素子両端にかかる電圧(第24図上で $D_r$ と $V_{LCD-1}$ の電位差)がほぼ0になるが、第480行のゲートバス $G_{a-480}$ に接続された画素は偶数フィールドのほぼ最後で液晶セル容量 $V_{LCD-480}$ に正極性の信号電圧を蓄込み、奇数

フィールドの大半の期間保持するので画素スイッチング素子両端にかかる電圧(第24図上で $D_r$ と $V_{LCD-480}$ の電位差)が大きくなるため、同じ画像信号電圧で全画素を駆動すると、画面上で下方ほど液晶セルに保持される信号電圧のリークが大きくなることが原因である。

この点を考慮した本発明の他の一実施例を第13図に示す。第13図の実施例は、縦ストライプ状に色フィルタを配置したアクティブマトリクス方式液晶パネル91を駆動する倍速線順次走査回路を示した構成図であり、特に、ドレイバスに与える信号極性を各行選択毎に反転できるようにしたものである。

第13図において、水平走査用シフトレジスタ1には、テレビ画像信号の水平同期信号に同期し、液晶パネル91の水平方向の画素数に相当するクロックパルス $\phi_H$ と、水平同期信号を遅延させて得られる走査開始信号 $D_H$ が印加される。このシフトレジスタ1の各段の出力は、水平走査周期毎に切替わる互いに論理レベルが反転している信号

$H_1$  及び  $H_2$  と共に論理和 (AND) 回路 2 に入力され、2 水平走査周期毎に 1 回順次選択する信号を形成し、シフトレジスタ 1 の各段出力と共に、レベルシフタ 3 に入力し、アナログスイッチ  $W_{ij}$  ( $i = A, B, C, j = 1, 2, 3, \dots$ ) を駆動する。アナログスイッチ  $W_{ij}$  はホールド容量 5 と共にサンプルホールド回路を形成しており、アナログスイッチ  $W_{Aj}$  を含むサンプルホールド回路は 1 水平走査周期に 1 回、アナログスイッチ  $W_{Bj}$ ,  $W_{Cj}$  を含むサンプルホールド回路は 2 水平走査周期中に 1 回、テレビ画像信号  $R_+$ ,  $R_-$  等を順次サンプリングし、ホールド容量 5 にそれぞれ駆動を担当する列信号電極  $D_r$  に見合う信号電圧がホールドされる。このホールドされた信号電圧が高入力インピーダンス・ボルテージフォロワ 6 を通して選択アナログスイッチ  $S_{ij}$  ( $i = A, B, C, j = 1, 2, 3, \dots$ ) に加えられ、ホールドされた信号電圧を適当な制御信号  $H_A, H_B, H_C$  により切換えて、出力制御付バッファアンプ 12 に入力し、その出力で列信号電極  $D_r$  を駆動するもので

電極の番号を示す添字を記入している。

第 1 フィールドの第 1 水平走査周期において、その有効表示期間中に  $S/H-A$  及び  $B$  がそれぞれ  $R_+$ ,  $R_-$  をサンプリングする。この時 4 の番号が小さいサンプルホールド回路は有効表示期間の始め付近でサンプリングし、4 の番号が大きいサンプルホールド回路は有効表示期間の終わり付近でサンプリングすることになる。このことは、以降に述べるサンプリング期間でも同様である。

続く第 1 水平走査周期の帰線期間において、第 1 行走査電極  $G_{a-1}$  が選択されると同時に  $S/H-A$  から第 1 行目の画素に見合う信号  $R_1 (R_+)$  がバッファアンプ 12 を通して列信号電極  $D_{r-4}$  に加えられた後、バッファアンプ 12 の出力が高インピーダンス状態となり、列信号電極  $D_{r-4}$  が次に駆動されるまでその画素信号をホールドし、第 1 行目の液晶セルへその信号が書き込まれる。

第 2 水平走査周期の有効表示期間において、読み出し動作が終了した  $S/H-A$  と、待機していた  $S/H-C$  が、それぞれ  $R_+$ ,  $R_-$  をサンプリ

ある。尚、ボルテージフォロワ 6 の出力インピーダンス及びアナログスイッチ  $S_{ij}$  のオン抵抗が十分低い場合は、バッファアンプ 7 を省略してもさしつかえない。

これまでに述べてきた動作を 4 ( $= 3j - 2; j = 1, 2, 3, \dots$ ) 列目の列信号電極  $D_{r-4}$  の駆動回路を取り上げて、第 14 図の動作波形図を用い、さらに具体的に説明する。4 + 1, 4 + 2 列目の列信号電極  $D_{r-4+1}$ ,  $D_{r-4+2}$  の駆動回路については、以下の説明で  $R$  をそれぞれ  $G$ ,  $B$  に置き換えれば同様な動作となるため、説明は省略する。

第 14 図において、サンプリング期間 'W' の後に続く ( ) 内には、各サンプルホールド回路にサンプリングされる 3 原色信号  $R_+$  (赤色正極性)、 $R_-$  (赤色負極性)、 $G_+$  (緑色正極性)、 $G_-$  (緑色負極性)、 $B_+$  (青色正極性)、 $B_-$  (青色負極性) の種類を示している。出力期間 'R' の後に続く ( ) 内には、駆動する画素が表示する色  $R$  (赤)、 $G$  (緑)、 $B$  (青) とその画素が属する行走査

ングする。また、この有効表示期間中の適当な時刻 (例えば有効表示期間の最終時刻より、水平走査周期の半分の時間だけ前の時刻) より、第 1 行走査電極  $G_{a-1}$  が非選択となり第 2 行走査電極  $G_{a-2}$  が選択されると共に、それまで画素信号をホールドしていた  $S/H-B$  から第 2 行目の画素に見合う信号  $R_2 (R_-)$  がバッファアンプ 12 を通して列信号電極  $D_{r-4}$  にある所定の時間 (例えば水平帰線時間) 加えられた後、再びバッファアンプ 12 の出力が高インピーダンス状態となり、次に駆動されるまでその画素信号をホールドし、第 2 行目の液晶セルへその信号が書き込まれる。

続く第 2 水平走査周期の帰線期間において第 2 行走査電極  $G_{a-2}$  が非選択となり、第 3 行走査電極が選択されると共に  $S/H-A$  から第 3 行目の画素に見合う信号  $R_3 (R_+)$  が列信号電極  $D_{r-4}$  に読み出され、第 3 行目の液晶セルが駆動される。

以下同様な動作をくり返し、奇数走査周期の有効表示期間中では  $S/H-A$  と  $B$  が、偶数走査周

期の有効表示期間中では  $S/H-A$  と  $C$  が、それぞれ  $R+$ 、 $R-$  をサンプリングし、帰線期間中では  $S/H-A$  がホールドしている画素信号（赤色正極性）を読み出し列信号電極  $D_r-4$  を駆動する。奇数及び偶数走査周期の有効表示期間中の所定の期間にはそれぞれ  $S/H-C$ 、及び  $S/H-B$  がホールドしている画素信号（赤色負極性）を読み出し列信号電極  $D_r-4$  を駆動する。従って、列信号電極  $D_r-4$  は水平走査周期の交流波形で駆動されることになる。一方、行走査電極は列信号電極の駆動に同期して、水平走査周期の半分の時間毎に順次選択され、選択された行走査電極に接続された液晶セル各々に画素信号を書き込む。

第2フィールドでは、第1図の実施例と同様に第263水平走査周期の画像信号で第1行の画素のみを駆動し、第264水平走査周期の画像信号で第2行と第3行の画素を駆動し、第504水平走査周期までの間に全ての画素を2回選択駆動することになる。すなわち、第1フィールドでは奇数行の画素が正極性、偶数行の画素が負極性で駆動され、

力2本を用いて1列信号電極を駆動している点である。

動作波形については第14図と同等になり、第13図の実施例の動作とサンプリングモード中のサンプリングタイミングを除いて、ほぼ同じあるので詳細な説明を省略する。偶数行の画像信号サンプリングタイミングは奇数行に比べて15画素分遅延しているため、第1フィールドにおいて、フィールド判別入力  $F_1$  により制御される選択スイッチ  $S_p$  が第3図に示した様に導通し、奇数行用画像信号を  $S/H-A$  で、偶数行用画像信号を  $S/H-B$  又は  $C$  でサンプリングする。第2フィールドでは、選択スイッチ  $S_p$  が逆に接続され、奇数行用画像信号を  $S/H-B$  又は  $C$  で、偶数行用画像信号を  $S/H-A$  でサンプリングする。

本発明のさらに他の実施例を第16図に、その動作波形を第17図に示す。第16図の実施例は、斜めモザイク状に色フィルタを配置したアクティブマトリクス方式液晶パネル9を行毎に極性反転した画像信号で駆動する倍速線順次走査回路を示

第2フィールドでは奇数行の画素が負極性、偶数行の画素が正極性で駆動されるため、各液晶セルに印加される電圧はフィールド毎に極性が反転する、すなわちフレーム周波数（30 Hz）で交流化されることになる。

本発明の他の実施例を第15図に示す。第15図の実施例は、偶数行の画素を奇数行の画素から右へ15画素ずらし、三角形状に色フィルタを配置したアクティブマトリクス方式液晶パネル92を行毎に極性反転した画像信号で駆動する倍速線順次走査回路を示した構成図である。第13図の実施例と異なる点は、水平走査用シフトレジスタ1の各段出力が水平有効表示時間（例えばNTSCテレビ画像信号の場合527  $\mu s$ ）をほぼ水平画素数で割った画素相当時間（例えば水平画素数648として81 ns）だけ前段出力より遅れているのに対し、第3図の水平走査用シフトレジスタ21の出力数は前者の約2倍あり、その各段出力が前出の画素相当時間（例えば81 ns）の半分の時間だけ前段出力より遅れており、シフトレジスタ11の出

した構成図である。第13図と第17図の動作波形の違いは主にサンプルホールド回路のサンプリング順番についてだけであり、基本的な動作がほとんど同じになるため、詳細説明は省く。第17図において、サンプリングされる信号  $R_A+$ 、 $R_A-$ 等はそれぞれ、端子  $R_A$  に加えられる  $R$ （赤）原色の+（正）、-（負）極性を示しており、端子  $R_A$  等に印加される原色信号は第18図に示すように極性が水平走査周期毎に切換わることになる。

この時各画素に印加される原色信号とその極性は第19図に示すようになる。+と-の符号は、それぞれ各原色信号の極性を示し、上段が第1フィールド、下段が第2フィールドにおける極性を示している。第19図から明らかなように、各画素を駆動する原色信号はフィールド毎に極性反転しまた、各列信号電極に加えられる原色信号は各行毎に極性反転している特長がある。

本発明のさらに他の実施例を第20図に、その動作波形を第21図に示す。第20図の実施例は、第16図の実施例と同様に斜めモザイク色フィル

タ配置液晶パネル9を行毎に極性が反転した画像信号で駆動する倍速線順次走査回路を示した構成図である。第16図の実施例と異なる点は、サンプルホールド回路を各列信号電極駆動回路を4系統設けており、水平走査周期毎にサンプリングモードサンプルホールド2系統と読み出しモードサンプリングホールド2系統を切り換えて用いる構成になっている点と、バッファアンプ7が常に動作状態になっており、ドレインバスが高インピーダンス状態になることがない点である。

第21図の動作波形例は第17図と同様に、 $6A+1$  ( $A=0, 1, 2, \dots$ )番目の列信号電極  $D_r = 6A+1$  を駆動する回路の動作例を示したものである。信号線  $X_{R+}$ ,  $X_{B-}$  には  $R+$ ,  $G+$  等の3原色の正負極性信号が第22図に示すように水平走査周期毎にシフトマトリクス4によって順次与えられ、例えば第1水平走査周期において  $S/H-A$  及び  $B$  がそれぞれ  $R+$ ,  $B-$  原色信号をサンプリングし、第2水平走査周期の前半で  $S/H-A$  がホールドしている  $R+$  信号を、後半で  $S$

$/H-B$  がホールドしている  $B-$  信号をドレインバス  $D_r = 6A+1$  に出力する。第2水平走査周期の前半では、ゲートバス  $G_a - 1$  が、後半ではゲートバス  $G_a - 2$  が選択されるので、第1行目の画素に  $R+$ 、第2行目の画素  $B-$  信号を書き込むことになる。同時に、第2水平走査周期では  $S/H-C$  及び  $D$  がそれぞれ  $G+$ ,  $R-$  信号をサンプリングしている。

第3水平走査周期の前半で  $S/H-C$  がホールドしている  $G+$  信号を後半で  $S/H-D$  がホールドしている  $R-$  信号をドレインバス  $D_r = 6A+1$  に出力すると共に、前半ではゲートバス  $G_a - 3$ 、後半ではゲートバス  $G_a - 4$  が選択されるので、第3行目の画素は  $G+$ 、第4行目の画素は  $R-$  信号が書き込まれることになる。同時に、第3水平走査周期では  $S/H-A$  及び  $B$  がそれぞれ  $B+$ ,  $G-$  信号をサンプリングする。

以下、同様な動作をくり返し、第1フィールドが走査される。第2フィールドも同様なサンプリング動作及び読み出し動作、画素書込動作が行わ

れ、第23図に示すように、各画素はフィールド毎に極性反転した信号で駆動されると共に、各ドレインバスも水平走査周期の半分毎に極性反転した信号で駆動できる。

#### 〔発明の効果〕

以上説明したように、本発明によればデジタル倍速変換回路を用いることなく、1水平走査周期中に2行の画素を容易に選択駆動ができるので、例えばNTSCテレビ画像信号で垂直画素数が約480ある液晶パネルを駆動する時、1フィールド毎に画像信号の極性を反転させることにより液晶セルに印加する電圧は2フィールド(1フレーム)周期、すなわち30Hzの交流信号となり、フリッカが少なく、また長寿命のアクティブマトリクス型液晶テレビ画像表示装置用倍速線順次駆動回路を提供することができる。

#### 4. 図面の簡単な説明

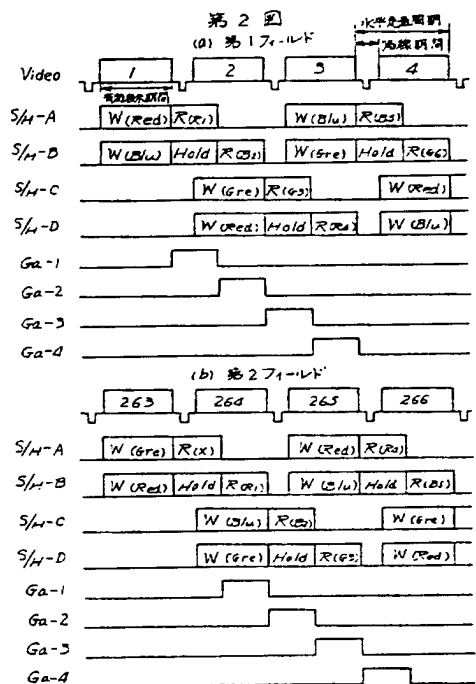
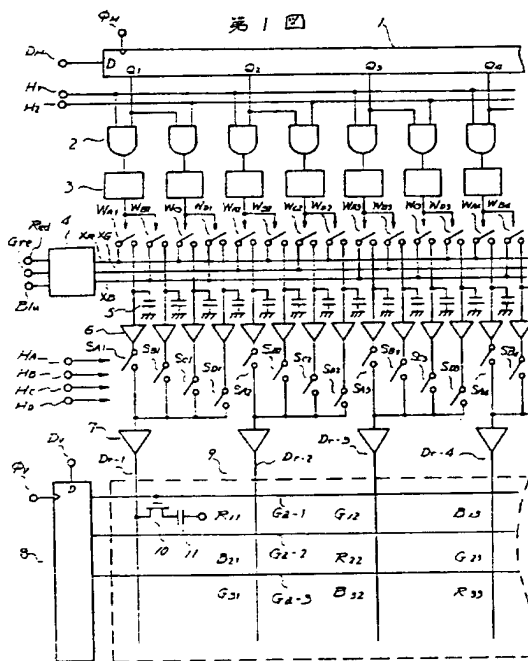
第1図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第一の実施例を示す構成図、第2図は第1図に示した

実施例の動作波形図、第3図は第1図に示した実施例中のシフトレジスタの具体的構成例を示す回路図、第4図は第3図に示した回路例の動作波形図、第5図は第1図に示した実施例の制御端子に加える信号を形成する制御回路例を示す構成図、第6図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第二の実施例を示す構成図、第7図は第6図に示した実施例の動作波形図、第8図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第三の実施例を示す構成図、第9図は第8図に示した実施例の動作波形図、第10図と第11図はそれぞれ第6図と第8図に示した実施例の制御端子に加える信号を形成する制御回路例を示す構成図、第12図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第四の実施例を示す構成図、第13図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速線順次走査回路の第五の実施例を示す構成図、第14図は第13図の動作波形を示す。

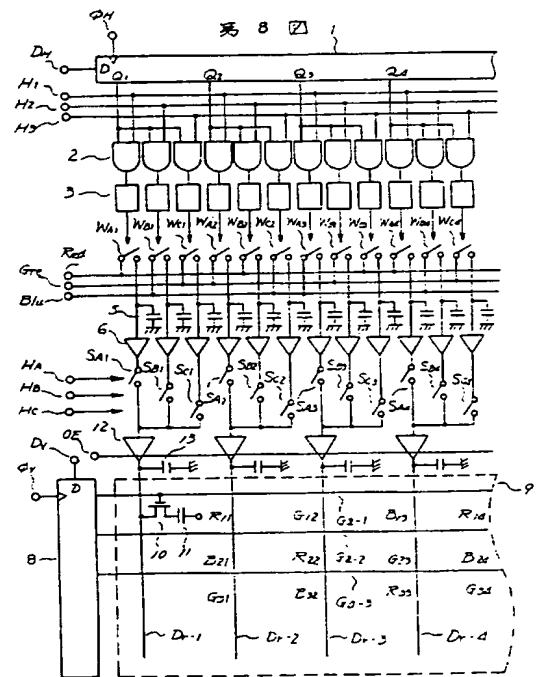
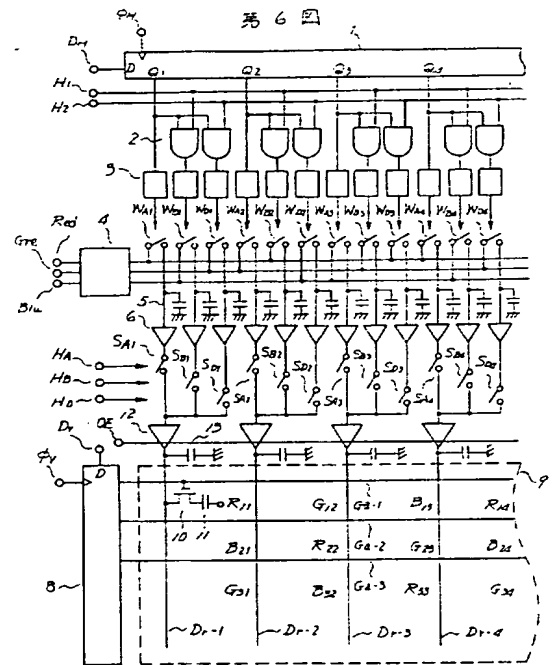
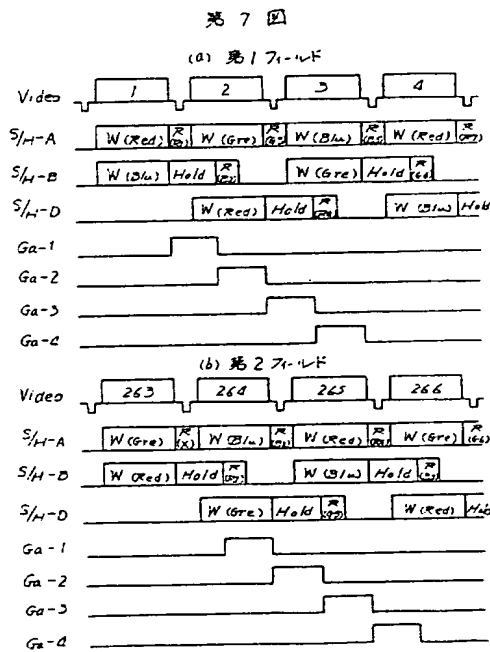
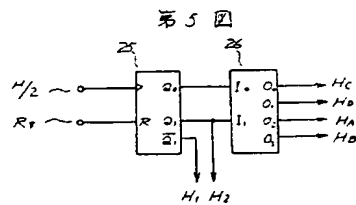
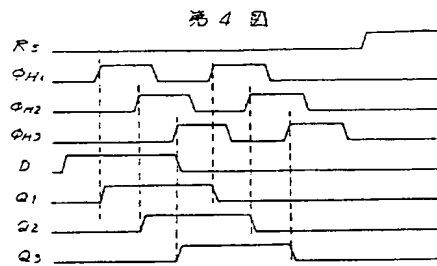
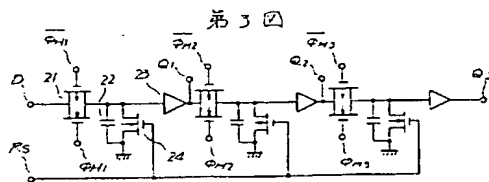
す図、第15図、第16図はそれぞれ本発明によるアクティブマトリクス型テレビ画像表示装置用倍速解順次走査回路の第六及び第七の実施例を示す構成図、第17図、第18図と第19図は第16図の実施例の動作を説明する図、第20図は本発明によるアクティブマトリクス型テレビ画像表示装置用倍速解順次走査回路の第八の実施例を示す構成図、第21図と第22図及び第23図は第20図の実施例の動作を説明する図、第24図は従来の液晶パネル駆動回路によるパネル内動作波形を説明する図である。

1, 21…水平走査用シフトレジスタ、2…論理制御回路、3…レベルシフタ、4…シフトマトリクス、5, 13…ホールド容量、6…ボルテージフォロウ、7…バッファアンプ、8…垂直走査用シフトレジスタ、10…MOSトランジスタ、11…液晶セル、12…出力制御付バッファアンプ、R+, R-, G+, G-, B+, B-…それぞれ赤、緑、青の原色信号の正、負極性、W<sub>i</sub>j, S<sub>i</sub>j (i=A, B, C, D, j=1, 2, 3, …)…アナログ

スイッチ、91…縦ストライプ色フィルタ配置液晶パネル、92…トライアングル色フィルタ配置液晶パネル、9…斜めモザイク色フィルタ配置液晶パネル、Ga…行走走電極、Dr…列信号電極。

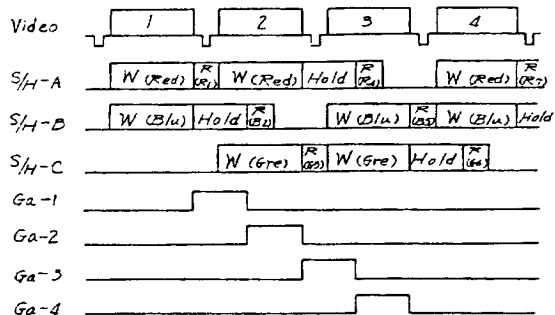


代理人弁理士 小川勝男

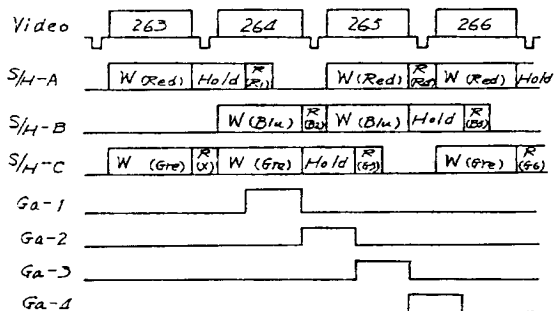


第 9 回

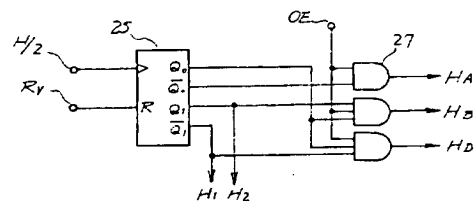
(2) 第1フィールド



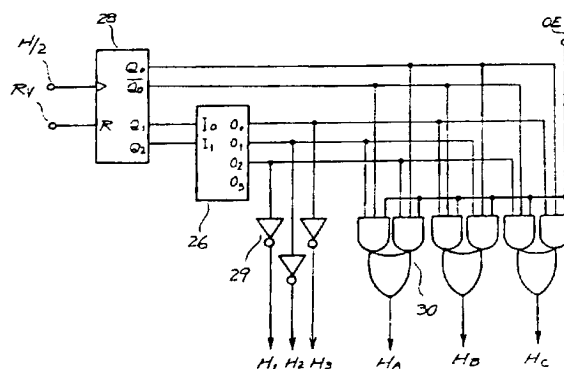
(b) 第2フィールド



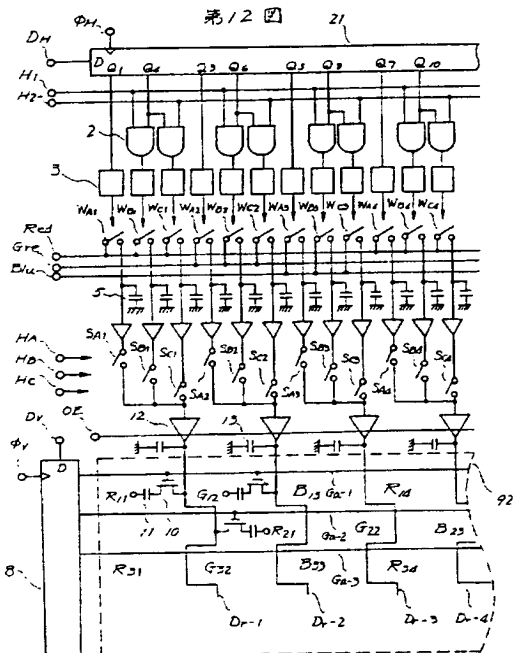
第10圖



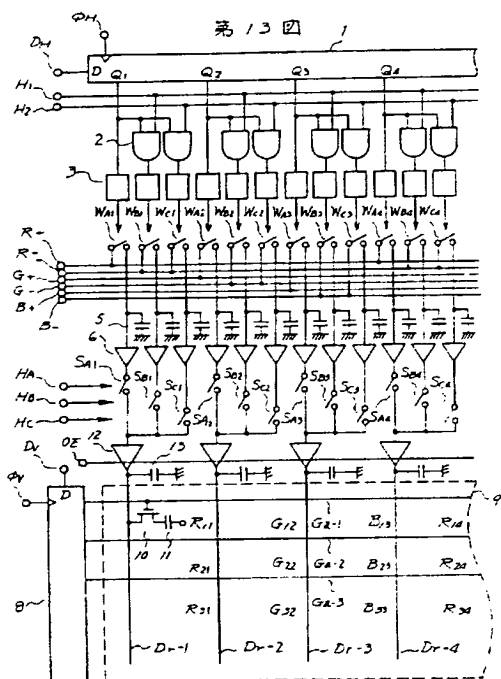
第 11 回



第12圖

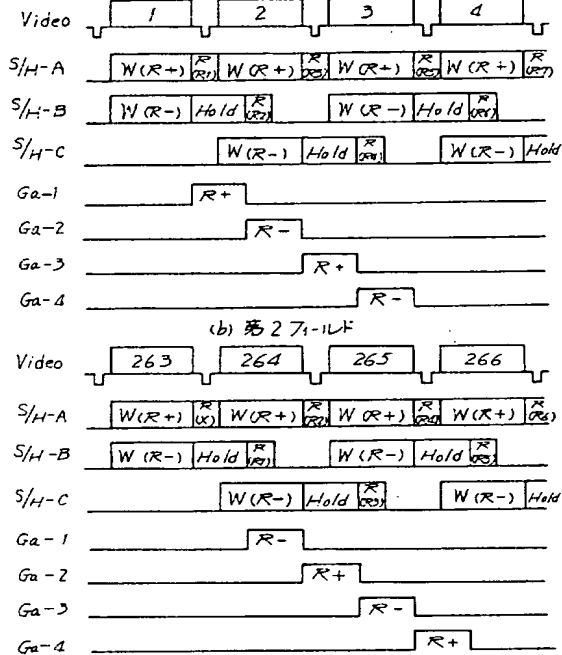


第 13 圖

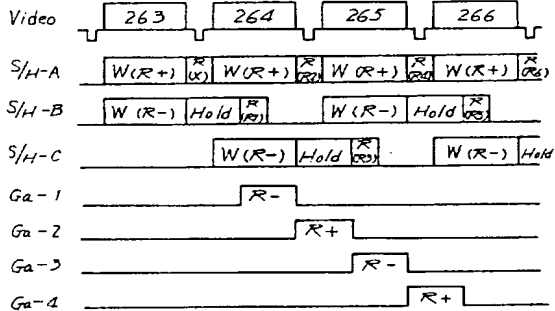


第14図

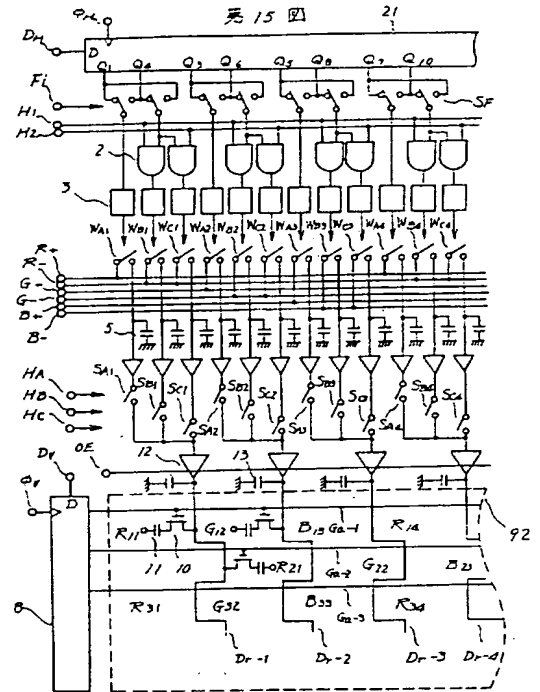
(a) 第171-ILド

有効表示期間  
消検期間

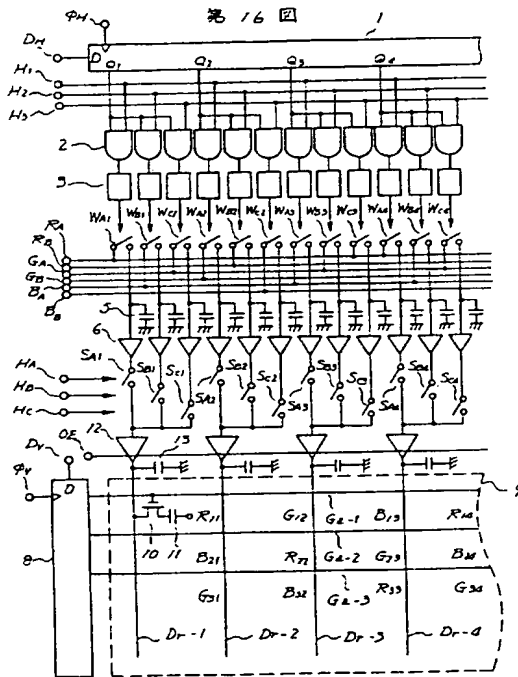
(b) 第271-ILド



第15図

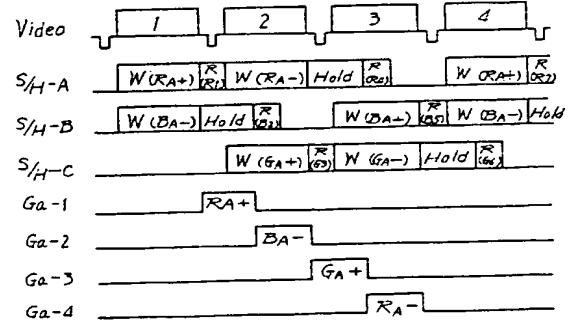


第16図

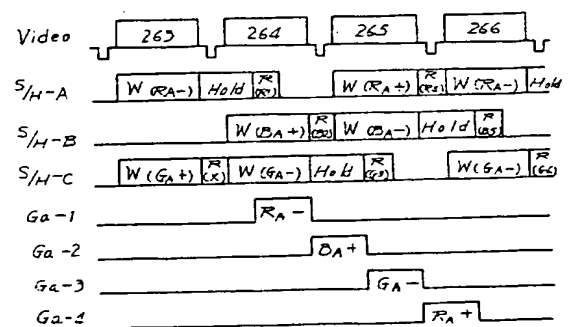


第17図

(a) 第171-ILド



(b) 第271-ILド





第22図  
(a) 第1フィールド

	1H	2H	3H	4H	5H	6H	7H	8H
$X_{R+}$	R+	G+	B+	R+	G+	B+	R+	G+
$X_{G+}$	G+	B+	R+	G+	B+	R+	G+	B+
$X_{B+}$	B+	R+	G+	B+	R+	G+	B+	R+
$X_{R-}$	R-	G-	B-	R-	G-	B-	R-	G-
$X_{G-}$	G-	B-	R-	G-	B-	R-	G-	B-
$X_{B-}$	B-	R-	G-	B-	R-	G-	B-	R-

(b) 第2フィールド

	265H	266H	267H	268H	269H	270H	271H	272H
$X_{R+}$	G+	B+	R+	G+	B+	R+	G+	B+
$X_{G+}$	B+	R+	G+	B+	R+	G+	B+	R+
$X_{B+}$	R+	G+	B+	R+	G+	B+	R+	G+
$X_{R-}$	G-	B-	R-	G-	B-	R-	G-	B-
$X_{G-}$	B-	R-	G-	B-	R-	G-	B-	R-
$X_{B-}$	R-	G-	B-	R-	G-	B-	R-	G-

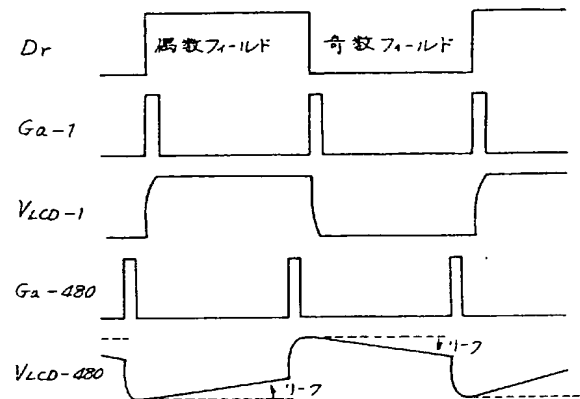
第17フィールド  
777777

第23図

第2フィールド  
777777

1H	R+	G+	B+	R+	G+	B+	R+	G+	B+	263H
2H	B+	R+	G+	B+	R+	G+	B+	R+	G+	264H
3H	G+	B+	R+	G+	B+	R+	G+	B+	R+	265H
4H	R+	G+	B+	R+	G+	B+	R+	G+	B+	266H
5H	B+	R+	G+	B+	R+	G+	B+	R+	G+	
6H	G+	B+	R+	G+	B+	R+	G+	B+	R+	

第24図



## 手続補正書〔方式〕

昭和61年12月12日

特許庁長官殿

事件の表示

昭和61年特許願第221842号

発明の名称

倍速線順次走査回路

補正をする者

特許出願人

名 義 (512)株式会社 日立製作所

代理人

〒100 東京都千代田区丸の内一丁目5番1号

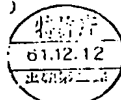
株式会社日立製作所内 電気 第2部 (12-111) (大代表)

名 義 (5850) 弁護士 小川 勝 男

補正の対象 図面の第20図

補正の内容

別紙の通り図面の第20図を補正する。(図中の文字を適切な大きさに記入した。)



THIS PAGE BLANK (USPTO)